

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-058028

(43)Date of publication of application : 27.02.1990

(51)Int.Cl.

G02F 1/136

H01L 29/784

(21)Application number : 63-208301

(71)Applicant : HITACHI LTD

(22)Date of filing : 24.08.1988

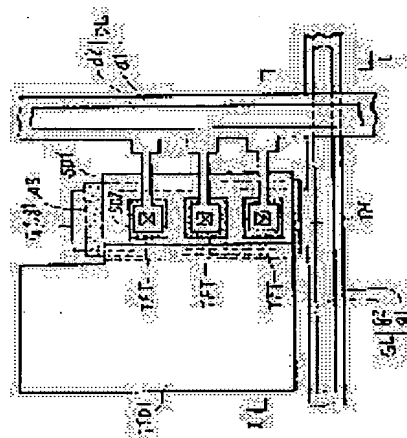
(72)Inventor : TANIGUCHI HIDEAKI
SHIROHASHI KAZUO
ORITSUKI RYOJI
SUZUKI KENKICHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To uniform TFT characteristics and to improve an aperture rate by composing a lateral TFT as a picture element and providing a source electrode so that the drain electrode of the TFT is surrounded.

CONSTITUTION: The thin film transistor(TR) TFT as each picture element is constituted as a lateral type and the source electrode SD1 is provided surrounding its drain electrode SD2. The drain electrode SD2 connected to the video signal line DL of the TFT is divided into plural parts. Consequently, the channel length of the TFT is prescribed by etching machining which is small in variance, so the TFT characteristics can be uniformed and the TFT is reduced in size to improve the aperture rate. Further, plural electrodes are provided, so even if one electrode is short-circuited, other parts operate and line defects are reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平2-58028

⑤ Int. Cl.⁵G 02 F 1/136
H 01 L 29/784

識別記号

5 0 0

庁内整理番号

7370-2H

⑬ 公開 平成2年(1990)2月27日

8624-5F H 01 L 29/78 3 1 1 A

審査請求 未請求 請求項の数 3 (全7頁)

⑭ 発明の名称 液晶表示装置

⑰ 特 願 昭63-208301

⑱ 出 願 昭63(1988)8月24日

⑲ 発 明 者 谷 口 秀 明 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内⑲ 発 明 者 白 橋 和 男 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内⑲ 発 明 者 折 付 良 二 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内⑲ 発 明 者 鈴 木 堅 吉 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

液 晶 表 示 装 置

2. 特許請求の範囲

1. 走査信号線と映像信号線との交差部に、薄膜トランジスタと画素電極との直列回路で形成された画素を配置する液晶表示装置において、前記薄膜トランジスタを横型で構成し、該薄膜トランジスタのドレイン電極又はソース電極の周囲を取り囲むようにソース電極又はドレイン電極を構成したことを特徴とする液晶表示装置。
2. 前記薄膜トランジスタの映像信号線に接続されるドレイン電極又はソース電極は複数に分割されていることを特徴とする特許請求の範囲第1項に記載の液晶表示装置。
3. 前記薄膜トランジスタのドレイン電極、ソース電極の夫々は前記走査信号線と映像信号線との間に設けられた導電層で形成され、かつ前記ドレイン電極又はソース電極は映像信号線と電気的に接続されていることを特徴とする特許請

求の範囲第1項又は第2項に記載の液晶表示装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、液晶表示装置、特に、アクティブ・マトリックス方式で構成される液晶表示装置に適用して有効な技術に関するものである。

(従来の技術)

アクティブ・マトリックス方式の液晶表示装置はマトリックス状に複数の画素を配置している。各画素は、水平方向に延在する複数の走査信号線(ゲート信号線)とそれと交差する垂直方向に延在する複数の映像信号線(ドレイン信号線)とで周囲を囲まれた領域内に配置されている。

前記各画素は特開昭60-261173号公報に記載されるように縦型薄膜トランジスタ(TFT)と画素電極との直列回路で構成されている。縦型薄膜トランジスタは、ドレイン電極上に半導体層、ソース電極を順次積層し、前記半導体層の周囲を取り囲むようにゲート絶縁膜を介してリン

グ状のゲート電極が設けられている。ドレイン電極は映像信号線に接続されている。ソース電極は画素電極に接続されている。ゲート電極は走査信号線に接続されている。

この縦型薄膜トランジスタは、リング状のゲート電極に沿ってチャネル領域が形成されるので、チャネル幅を増加し、駆動能力を向上することができる。したがって、縦型薄膜トランジスタは小型化することができるので、液晶表示装置は開口率を向上できる特徴がある。

(発明が解決しようとする課題)

前記液晶表示装置の各画素の縦型薄膜トランジスタは、チャネル長(ゲート長)を規定するゲート電極の膜厚や半導体層の膜厚が製造プロセスによってばらつきを生じ易い。このため、縦型薄膜トランジスタは均一なトランジスタ特性を得ることができないという問題点があった。

また、前述の液晶表示装置は、縦型薄膜トランジスタのドレイン電極-ゲート電極間或は映像信号線-走査信号線間が短絡し易く、短絡した場合

には線欠陥が生じるので、表示品質が低下するという問題点があった。さらに、前記縦型薄膜トランジスタのドレイン電極-ゲート電極間が短絡した場合、この画素を映像信号線から切断して線欠陥を回避することが可能であるが、点欠陥は回避することができないので、やはり表示品質が低下するという問題点があった。

本発明の目的は、液晶表示装置において、画素の薄膜トランジスタのトランジスタ特性を均一化すると共に、薄膜トランジスタを小型化して開口率を向上することが可能な技術を提供することにある。

本発明の他の目的は、前記液晶表示装置において、前記目的に加えて、点欠陥及び線欠陥を低減し、表示品質を向上することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

(課題を解決するための手段)

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) 液晶表示装置において、薄膜トランジスタを横型で構成し、この横型薄膜トランジスタのドレイン電極(又はソース電極)の周囲を取り囲むようにソース電極(又はドレイン電極)を構成する。

(2) 前記横型薄膜トランジスタの映像信号線に接続されるドレイン電極を複数に分割する。

(3) 前記横型薄膜トランジスタのドレイン電極、ソース電極の夫々は走査信号線と映像信号線との間に設けられた導電層で形成し、かつ前記ドレイン電極は映像信号線と電気的に接続する。

(作 用)

上述した手段(1)によれば、前記薄膜トランジスタのチャネル長はばらつきの小さいエッチング加工で規定されるので、トランジスタ特性を均一化することができると共に、前記薄膜トランジスタのチャネル幅を大きくし駆動能力を増加し、薄膜トランジスタを小型化することができるので、

画素電極の平面サイズを増加し、開口率を向上することができる。

上述した手段(2)によれば、前記薄膜トランジスタの複数のうちの1つのドレイン電極又はソース電極とゲート電極との間が短絡した場合、その短絡個所のドレイン電極又はソース電極と映像信号線との間を切断してもその他の部分が正常に機能するので、液晶表示装置の線欠陥及び点欠陥を低減し、表示品質を向上することができる。

上述した手段(3)によれば、前記走査信号線と映像信号線との間に少なくとも2層の絶縁膜を介在させ、両者の交差部分での短絡する確率を低減することができるので、液晶表示装置の線欠陥を低減し、表示品質を向上することができる。また、走査信号線と映像信号線との間に形成される静電容量を低減することができる。

以下、本発明の構成について、アクティブ・マトリックス方式を採用する液晶表示装置に本発明を適用した一実施例とともに説明する。

なお、実施例を説明するための全図において、

同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

〔実施例〕

(実施例 1)

本発明の実施例 1 である液晶表示装置の液晶表示部の一断面を第 2 図(要部平面図)で示し、第 2 図の I-I 切断線で切った断面を第 1 図で示す。

第 1 図及び第 2 図に示すように、液晶表示装置は、1.1 [mm]程度の厚さを有する下部透明ガラス基板 SUB 1 の内側(液晶側)の表面上に、模型薄膜トランジスタ TFT を有している。模型薄膜トランジスタ TFT は、主に、ゲート電極 GT、ゲート絶縁膜として使用される絶縁膜 GI、チャネル形成領域として使用される i 型半導体層 AS、ソース電極(又はドレイン電極)SD 1、ドレイン電極(又はソース電極)SD 2 で構成されている。

前記ゲート電極 GT は、例えばスパッタ法で堆積した Cr 膜 1 を用い、約 1000 [Å]程度の膜厚で形成されている。ゲート電極 GT は、走査信号線(ゲート信号線又は水平信号線)GL と同一

製造工程(同一導電層)で形成され、走査信号線 GL に一体化されている。走査信号線 GL は前記 Cr 膜 1 上に Al (Al-Si) 膜 2 を積層した複合膜で形成されている。Al 膜 2 は、スパッタ法で堆積し、約 1000 [Å]程度の膜厚で形成する。この Al 膜 2 は走査信号線 GL の抵抗値を低減するように構成されている。走査信号線 GL は、第 1 図に示すように水平方向に延在しており、図示していないが垂直方向に複数本配置されている。

絶縁膜 GI はゲート電極 GT 及び走査信号線 GL の上層に形成されている。絶縁膜 GI は、例えばプラズマ CVD 法で堆積させた窒化珪素膜を用い、約 3000 [Å]程度の膜厚で形成されている。

i 型半導体層 AS はゲート絶縁膜 GI の上層に島形状で構成されている。i 型半導体層 AS は、CVD 法で堆積させた非晶質珪素膜又は多結晶珪素膜で形成し、約 2500 [Å]程度の膜厚で形成されている。i 型半導体層 AS は主に模型薄膜トランジスタ TFT のチャネル形成領域として使用

されている。

ソース電極 SD 1、ドレイン電極 SD 2 の夫々は i 型半導体層 AS 上に夫々離隔して設けられている。ソース電極 SD 1 とドレイン電極 SD 2 とは回路のバイアス極性が変わると動作上ソースとドレインが入れ替わる。つまり、模型薄膜トランジスタ TFT は絶縁ゲート型電界効果トランジスタ FET と同様 to 双方向性で構成されている。

ソース電極 SD 1、ドレイン電極 SD 2 の夫々は、同一製造工程で形成されており、例えば i 型半導体層 AS に接触する下層側から、n' 型半導体層(図示しない)、Cr 膜を順次積層した複合膜で構成されている。n' 型半導体層は、非晶質珪素膜又は多結晶珪素膜で形成され、約 500 [Å]程度の膜厚で形成されている。n' 型半導体層は、i 型半導体層 AS と Cr 膜との接触抵抗値を低減するように構成されている。Cr 膜は、例えばスパッタ法で堆積し、600 [Å]程度の膜厚で形成する。

ソース電極 SD 1、ドレイン電極 SD 2 の夫々は前述のように i 型半導体層 AS 上に平面的に配

置され、映像信号は i 型半導体層 AS の表面を横方向(水平方向)に流れるので、この薄膜トランジスタ TFT は横型で構成されている。模型薄膜トランジスタ TFT はソース電極 SD 1、ドレイン電極 SD 2 の夫々をエッチング加工でパターンニングしチャネル長(ゲート長)を高精度で規定することができるので、この加工精度は縦型薄膜トランジスタのそれに比べて高く、又製造上容易に得ることができる。つまり、模型薄膜トランジスタ TFT は、縦型薄膜トランジスタに比べてトランジスタ特性を均一化することができる。

前記ソース電極 SD 1 は、第 1 図及び第 2 図に示すように、ドレイン電極 SD 2 の周囲を取り囲むように配置されている。具体的には、ソース電極 SD 1 は、平面形状が方形に形成されたドレイン電極 SD 2 の周囲と所定の寸法(チャネル長)を持って離隔し、ドレイン電極 SD 2 の周囲に沿って構成されている。このように構成される模型薄膜トランジスタ TFT は、ドレイン電極 SD 2 の周囲に沿った長さでチャネル幅を形成すること

ができるので、チャネル幅を長くすることができる。

また、前記ドレイン電極SD2は1つの画素内において複数に分割され、分割された夫々のドレイン電極SD2は夫々独立に同一の映像信号線DLに接続されている。映像信号線DLはソース電極SD1及びドレイン電極SD2の上部に層間絶縁膜ILを介在させて延在している。映像信号線DLはMo膜d1上にAl(A₂-Si)膜d2を積層した複合膜で形成されている。Mo膜d1は、スパッタ法で堆積させ、約1000[Å]程度の膜厚で形成されている。Al膜d2は、スパッタ法で堆積させ、3500[Å]程度の膜厚で形成されている。Al膜d2は映像信号線DLの抵抗値を低減するように構成されている。映像信号線DLは第1図に示すように走査信号線GLと交差する垂直方向に延在し、図示していないが水平方向に複数本配置されている。前記ドレイン電極SD2には、層間絶縁膜ILに形成された接続孔THを通して映像信号線DLのMo膜d1が接続されて

いる。前記層間絶縁膜ILは、例えばプラズマCVD法で堆積させた窒化珪素膜を用い、約10000[Å]程度の膜厚で形成されている。

前記ソース電極SD1には、画素毎に設けられた透明電極(画素電極)ITO1が接続されている。透明電極ITO1は、液晶表示部の画素電極の一方を構成する。透明電極ITO1は、絶縁膜GI上に設けられており、例えばスパッタ法で堆積され、1200[Å]程度の膜厚で形成されている。

前記横型薄膜トランジスタTFT及び透明電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は、主に横型薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1は、例えばプラズマCVD法で堆積した酸化珪素膜や窒化珪素膜で形成され、8000[Å]程度の膜厚で形成されている。

薄膜トランジスタTFT上の保護膜PSV1の上部には、外部光がチャネル形成領域として使用されるi型半導体層ASに入射されないように、

遮光膜LSが設けられている。遮光膜LSは、光に対する遮光性が高くしかも導電性を有するように例えばAl膜(又はAl-Si、Al-Cu、Cr膜等)で形成されており、スパッタ法で堆積し1000~4000[Å]程度の膜厚で形成されている。

液晶LCは、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2との間に形成された空間内に、液晶分子の向きを設定する下部配向膜ORI1及び上部配向膜ORI2に規定され、封入されている。

下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

上部透明ガラス基板SUB2の内側(液晶側)の表面には、カラーフィルタFIL、保護膜PSV2、共通透明電極(共通画素電極)ITO2及び前記上部配向膜ORI2が順次積層して設けられている。

前記共通透明電極ITO2は、下部透明ガラス基板SUB1側に画素毎に設けられた透明電極I

TO1に対向し、隣接する他の共通透明電極ITO2と一体に構成されている。

カラーフィルタFILは、アクリル樹脂等の樹脂材料で形成される染色基材を各画素毎に染料で染め分けることにより形成されている。染料の染め分けは、フォトリソグラフィ技術を用いて行っている。

保護膜PSV2は、前記カラーフィルタFILを異なる色に染め分けた染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2は、例えば、アクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側の夫々の層を別々に形成し、その後、上下透明ガラス基板SUB1及びSUB2を重ね合せ、両者間に液晶LCを封入することによって組み立てられる。

下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の夫々の外側の表面には偏光板POLが形成されている。

このように、液晶表示装置において、薄膜トランジスタTFTを模型で構成し、この模型薄膜トランジスタのドレイン電極SD2の周囲を取り囲むようにソース電極SD1を構成することにより、前記模型薄膜トランジスタTFTのチャネル長はばらつきの小さいエッチング加工で規定されるので、トランジスタ特性を均一化することができると共に、前記模型薄膜トランジスタTFTのチャネル幅を大きくし駆動能力を増加し、模型薄膜トランジスタを小型化することができるので、透明電極ITO1の平面サイズを増加し、開口率を向上することができる。

また、前記模型薄膜トランジスタTFTの映像信号線DLに接続されるドレイン電極SD2を複数に分割（本実施例では3つだがこれに限定されない）することにより、前記模型薄膜トランジスタTFTの複数のうちの1つのドレイン電極SD2とゲート電極GTとの間が短絡した場合、その短絡個所のドレイン電極SD2と映像信号線DLとの間を切断してもその他の部分が正常に機能す

る(SD2-GTが絶縁分離されている)ので、液晶表示装置の線欠陥及び点欠陥を低減し、表示品質を向上することができる。前記ドレイン電極SD2と映像信号線DLとの切断は、フォトリソグラフィ技術を用いたエッチング、レーザビームを用いた溶断等によって行う。

また、前記模型薄膜トランジスタTFTのドレイン電極SD2、ソース電極SD1の夫々を走査信号線GLと映像信号線DLとの間に設けられた導電層で形成し、かつ前記ドレイン電極SD2を映像信号線DLと電気的に接続することにより、前記走査信号線GLと映像信号線DLとの間に少なくとも2層の絶縁膜GI及びILを介在させ、走査信号線GLと映像信号線DLとの交差部（クロスオーバー部）での短絡する確率を低減することができるので、液晶表示装置の線欠陥を低減し、表示品質を向上することができる。また、走査信号線GLと映像信号線DLとの間に形成される静電容量を低減することができる。

（実施例Ⅱ）

本実施例Ⅱは、前記液晶表示装置において、模型薄膜トランジスタのソース電極、ドレイン電極の夫々と映像信号線とを同一製造工程で形成した、本発明の第2実施例である。

本発明の実施例Ⅱである液晶表示装置の液晶表示部の一画面を第3図(要部平面図)で示し、第3図のIV-IV切断線で切った断面を第4図で示す。

本実施例Ⅱの液晶表示装置は、各画面の模型薄膜トランジスタTFTのソース電極SD1、ドレイン電極SD2の夫々と映像信号線DLとが同一製造工程で形成されている。つまり、ソース電極SD1、ドレイン電極SD2の夫々はMo膜d1で形成されている。映像信号線DLはMo膜d1及びその上部に積層されたAl膜d2からなる複合膜で形成されている。したがって、模型薄膜トランジスタTFTのソース電極SD1は、ドレイン領域SD2の周囲の一部を除きその大半を取り囲むように構成されている。

このように構成される液晶表示装置は、前記実施例Ⅰと同様の効果を奏することができると共に、

製造工程数を低減することができる効果を奏することができる。

（実施例Ⅲ）

本実施例Ⅲは、前記液晶表示装置の模型薄膜トランジスタのソース電極、ドレイン電極の夫々を他の形状で構成した、本発明の第3実施例である。

本発明の実施例Ⅲである液晶表示装置の各画面の薄膜トランジスタのソース電極及びドレイン電極を第5図乃至第7図(要部概略平面図)で示す。

第5図に示す模型薄膜トランジスタTFTのソース電極SD1、ドレイン電極SD2の夫々は平面形状を円形状で構成している。

第6図に示す模型薄膜トランジスタTFTのソース電極SD1、ドレイン電極SD2の夫々は平面形状を海星形状で構成している。

第7図に示す模型薄膜トランジスタTFTのソース電極SD1、ドレイン電極SD2の夫々は平面形状を渦巻形状で構成している。

いずれの場合においても模型薄膜トランジスタTFTのチャネル幅を増大することができるので、

前記実施例 I と同様の効果を奏することができる。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

液晶表示装置において、画素の薄膜トランジスタのトランジスタ特性を均一化すると共に、薄膜トランジスタを小型化して開口率を向上することができる。

また、前記液晶表示装置において、点欠陥及び線欠陥を低減し、表示品質を向上することができる。

4. 図面の簡単な説明

第 1 図は、本発明の実施例 I である液晶表示装置の液晶表示部の一面素を示す要部断面図。

第 2 図は、前記画素の平面図。

第 3 図は、本発明の実施例 II である液晶表示装置の液晶表示部の一面素を示す要部平面図。

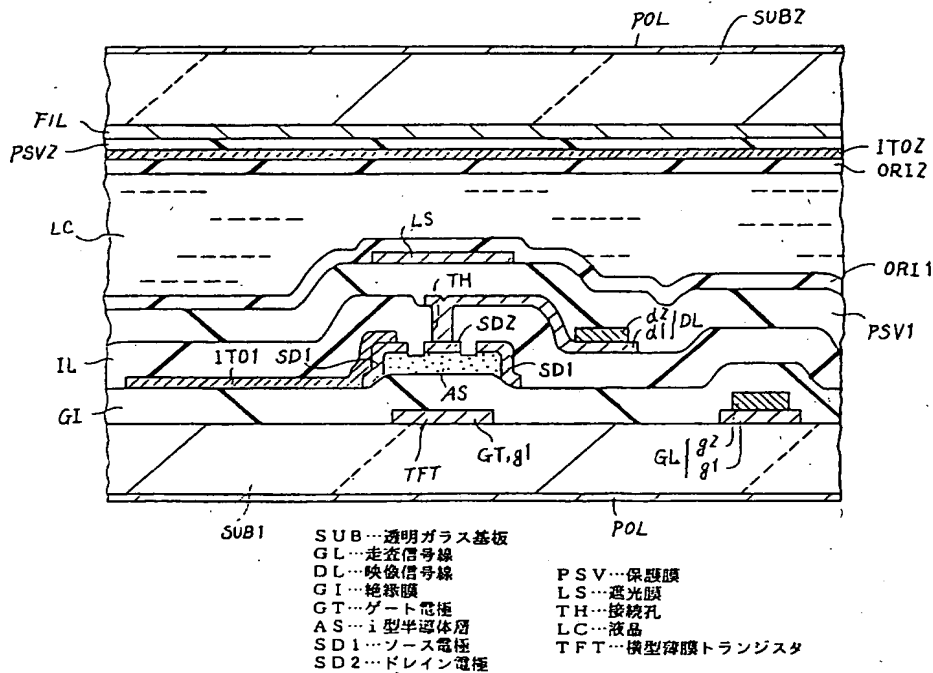
第 4 図は、前記画素の要部断面図。

第 5 図乃至第 7 図は、本発明の実施例 III である液晶表示装置の各面素の薄膜トランジスタのソース電極及びドレイン電極を示す要部概略平面図である。

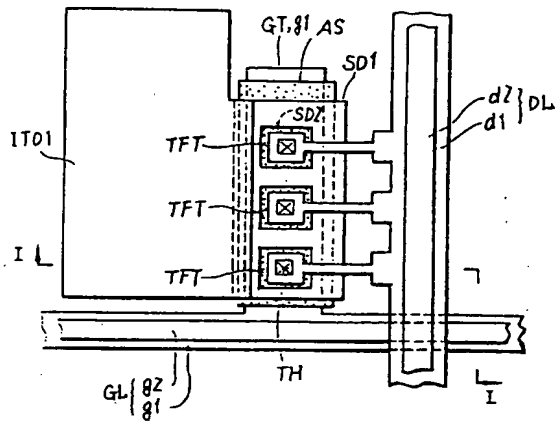
図中、SUB…透明ガラス基板、GL…走査信号線、DL…映像信号線、GI…絶縁膜、GT…ゲート電極、AS…i 型半導体層、SD1…ソース電極、SD2…ドレイン電極、PSV…保護膜、LS…遮光膜、TH…接続孔、LC…液晶、TFT…横型薄膜トランジスタである。

代理人 弁理士 小川勝男

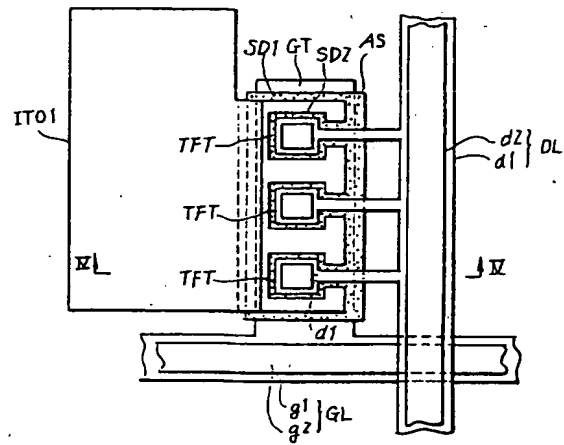
第 1 図



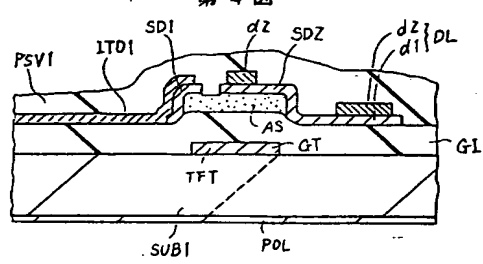
第 2 図



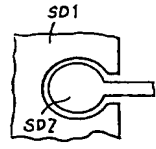
第 3 図



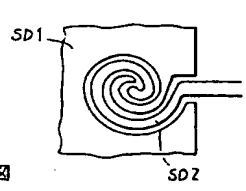
第 4 図



第 5 図



第 7 図



第 6 図

